

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-323981

(43)Date of publication of application : 24.11.2000

(51)Int.Cl. H03L 7/06  
H03L 7/087  
H03L 7/10  
H04L 7/033

(21)Application number : 11-127421

(71)Applicant : NEC CORP  
NEC TELECOM SYST LTD

(22)Date of filing : 07.05.1999

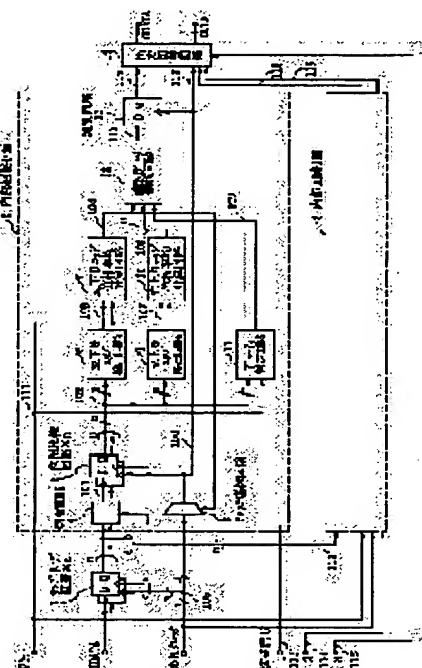
(72)Inventor : BABA MITSUO  
SATO MASAKI

## (54) DIGITAL PLL CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain the digital PLL circuit which secures excellent reception characteristics by doubling the internal circuit plane of the digital PLL circuit and alternately processing burstlike data signals at a request to narrow down the burst intervals of burstlike data signals.

**SOLUTION:** In the double-plane digital PLL circuit, received burstlike data signals which are different in phase and variation quantity of jitter and duty cycle distortion by bursts are distributed alternately to an internal circuit 0-plane 2 and an internal circuit 1-plane 3 to perform phase synchronizing operation and data discriminating operation. Processing time for the phase synchronizing operation and data discriminating operation for the burstlike data signals in the digital PLL circuit are normally needed, but the processes of the burstlike data signals may overlap with each other because of the two planes and a process wait state can be eliminated. Consequently, the intervals of the burstlike data signals can be made narrow without spoiling the reception characteristics.



## LEGAL STATUS

[Date of request for examination] 21.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3299219

[Date of registration] 19.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3299219号

(P3299219)

(45) 発行日 平成14年7月8日(2002.7.8)

(24) 登録日 平成14年4月19日(2002.4.19)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

H 0 3 L 7/06

H 0 3 L 7/06

G

7/08

7/08

P

7/087

M

H 0 4 L 7/033

H 0 4 L 7/02

B

請求項の数6(全 11 頁)

(21) 出願番号

特願平11-127421

(22) 出願日

平成11年5月7日(1999.5.7)

(65) 公開番号

特開2000-323981(P2000-323981A)

(43) 公開日

平成12年11月24日(2000.11.24)

審査請求日

平成12年4月21日(2000.4.21)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(73) 特許権者 000232106

日本電気テレコムシステム株式会社

神奈川県川崎市中原区小杉町1丁目403

番地

(72) 発明者

馬場 光男

東京都港区芝五丁目7番1号 日本電気

株式会社内

(74) 代理人

100082935

弁理士 京本 直樹 (外2名)

審査官

甲斐 哲雄

最終頁に続く

(54) 【発明の名称】 デジタルPLL回路

(57) 【特許請求の範囲】

【請求項1】 入力データ信号と周波数がほぼ同一で位相が順次360度/N(Nは2以上の整数)づつずれた多相クロックとを入力し、前記入力データ信号を前記多相クロックの各クロックによりサンプリングしてN個のサンプリングデータを生成するサンプリング回路と、前記サンプリング回路が出力するサンプリングデータと前記多相クロックとを入力し切替信号1または2の切替制御信号により切り替え動作する内部回路0面および内部回路1面と、前記内部回路0面および前記内部回路1面とのそれぞれの出力信号を入力し切替信号3の制御信号により前記内部回路0面と前記内部回路1面との出力信号を選択して出力する出力切替回路と、を備えたことを特徴とするデジタルPLL回路。

【請求項2】 請求項1記載の前記内部回路0面および

前記内部回路1面が、同一回路構成からなる二面構成であって、両面それぞれの入力端に切替手段を有し、切替信号1または2の制御信号により前記入力データ信号の単位毎に交互に切り替え動作をすること、を特徴とするデジタルPLL回路。

【請求項3】 請求項1記載の前記出力切替回路が、前記内部回路0面および前記内部回路1面の両面それぞれから出力される出力データを、前記切替信号3の制御信号により前記入力データ信号の単位毎に交互に切り替えて出力すること、を特徴とするデジタルPLL回路。

【請求項4】 請求項1および2記載の前記内部回路0面および前記内部回路1面が、前記多相クロックを入力し前記多相クロックの内どの相のクロックを選択するかを示す立下り位相平均情報に応じて前記多相クロックから択一的に選択した選択クロックを出力するクロック選

択回路と、前記サンプリング回路が出力するサンプリングデータを、前記切替信号1または2の制御信号により切り替え出力する切替回路と、前記切替回路が出力するサンプリングデータの位相と前記選択クロックの位相とを比較する位相比較回路と、前記位相比較回路が出力する位相比較後データを入力し、前記選択クロックを基準の第1相クロックとして以下順次第2相～第N相クロックとし、前記第1相～第N相クロックに対応して前記N個のサンプリングデータを並び替えて第1相～第N相サンプリングデータとし、並び替え後の前記第1相～第N相サンプリングデータを前記第1相クロックによりラッチし、各相のラッチ出力の互いに隣り合う相同士のレベルにより立下りエッジが存在する相の位置を検出して立下りエッジ情報を前記選択クロックの1周期毎に生成する立下りエッジ検出回路と、前記立下りエッジ情報を入力し、立下りエッジの個数の情報を前記1周期毎に生成し、この立下りエッジの個数の過去から現在までの平均値を前記1周期毎に算出して求めた立下り位相平均情報を出力する立下りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記立下りエッジ検出回路と同様に動作して立上りエッジ情報を生成する立上りエッジ検出回路と、前記立上りエッジ情報を入力し、前記立下りエッジ位相平均計算回路と同様に動作して立上り位相平均情報を出力する立上りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記入力データ信号のデューティを判定してデューティ情報を出力するデューティ判定回路と、前記立上りエッジ位相平均情報と前記デューティ情報とによりデータ選択相を決定し、決定した前記データ選択相に近いデータを前記位相比較後データから選択し、選択後データを出力する識別データ選択回路と、前記選択後データを前記選択クロックによりリタイミングしてデータを出力する識別回路と、を備えたことを特徴とするデジタルPLL回路。

【請求項5】 請求項1および2記載の前記内部回路0面および前記内部回路1面が、前記多相クロックを入力し前記多相クロックの内どの相のクロックを選択するかを示す立上り位相平均情報に応じて前記多相クロックから択一的に選択した選択クロックを出力するクロック選択回路と、前記サンプリング回路が出力するサンプリングデータを、前記切替信号1または2の制御信号により切り替え出力する切替回路と、前記切替回路が出力するサンプリングデータの位相と前記選択クロックの位相とを比較する位相比較回路と、前記位相比較回路が出力する位相比較後データを入力し、前記選択クロックを基準の第1相クロックとして以下順次第2相～第N相クロックとし、前記第1相～第N相クロックに対応して前記N個のサンプリングデータを並び替えて第1相～第N相サンプリングデータとし、並び替え後の前記第1相～第N相サンプリングデータを前記第1相クロックによりラッチし、各相のラッチ出力の互いに隣り合う相同士のレベ

ルにより立上りエッジが存在する相の位置を検出して立上りエッジ情報を前記選択クロックの1周期毎に生成する立上りエッジ検出回路と、前記立上りエッジ情報を入力し、立上りエッジの個数の情報を前記1周期毎に生成し、この立上りエッジの個数の過去から現在までの平均値を前記1周期毎に算出して求めた立上り位相平均情報を出力する立上りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記立上りエッジ検出回路と同様に動作して立下りエッジ情報を生成する立下りエッジ検出回路と、前記立下りエッジ情報を入力し、前記立上りエッジ位相平均計算回路と同様に動作して立下り位相平均情報を出力する立下りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記入力データ信号のデューティを判定してデューティ情報を出力するデューティ判定回路と、前記立下りエッジ位相平均情報と前記デューティ情報とによりデータ選択相を決定し、決定した前記データ選択相に近いデータを前記位相比較後データから選択し、選択後データを出力する識別データ選択回路と、前記選択後データを前記選択クロックによりリタイミングしてデータを出力する識別回路と、を備えたことを特徴とするデジタルPLL回路。

【請求項6】 請求項1および2記載の前記内部回路0面および前記内部回路1面が、前記多相クロックを入力し前記多相クロックの内どの相のクロックを選択するかを示す立下り位相平均情報に応じて前記多相クロックから択一的に選択した選択クロックを出力するクロック選択回路と、前記サンプリング回路が出力するサンプリングデータを、前記切替信号1または2の制御信号により切り替え出力する切替回路と、前記切替回路が出力するサンプリングデータの位相と前記選択クロックの位相とを比較する位相比較回路と、前記位相比較回路が出力する位相比較後データを入力し、前記選択クロックを基準の第1相クロックとして以下順次第2相～第N相クロックとし、前記第1相～第N相クロックに対応して前記N個のサンプリングデータを並び替えて第1相～第N相サンプリングデータとし、並び替え後の前記第1相～第N相サンプリングデータを前記第1相クロックによりラッチし、各相のラッチ出力の互いに隣り合う相同士のレベルにより立下りエッジが存在する相の位置を検出して立下りエッジ情報を前記選択クロックの1周期毎に生成する立下りエッジ検出回路と、前記立下りエッジ情報を入力し、立下りエッジの個数の情報を前記1周期毎に生成し、この立下りエッジの個数の過去から現在までの平均値を前記1周期毎に算出して求めた立下り位相平均情報を出力する立下りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記立下りエッジ検出回路と同様に動作して立上りエッジ情報を生成する立上りエッジ検出回路と、前記立上りエッジ情報を入力し、前記立下りエッジ位相平均計算回路と同様に動作して立上り位相平均情報を出力する立上りエッジ位相平均計算回路と、

前記立上りエッジ位相平均情報によりデータ選択相を決定し、決定した前記データ選択相に近いデータを前記位相比較後データから選択し、選択後データを出力する識別データ選択回路と、前記選択後データを前記選択クロックによりリタイミングしてデータを出力する識別回路と、を備えたことを特徴とするデジタルPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデジタルPLL回路に関し、特にバースト状データ信号を受信する光通信システムの受信装置等において、バースト状データ信号のバースト間隔が非常に狭い場合でも、良好な受信特性を確保することが可能なデジタルPLL回路に関する。

【0002】

【従来の技術】バースト状データ信号を入力とする従来のデジタルPLL回路は、周波数偏差、デューティ変動およびジッタ等による大きな位相変動を有する入力に対して位相引き込み時間が長くなり、抽出クロックによる受信データのリタイミングの際に識別誤りを生じるという問題があった。

【0003】このような問題を解決するために、例えば、本願出願人はこの出願に先行する特許出願、特願平09-148458号「デジタルPLL回路」を行っている。

【0004】この先行出願は、入力信号のバースト毎にジッタ量とデューティ変動量とが異なるバースト状のデータ信号に対して、周期的な変化箇所データを取り込みデューティ測定を行うデューティ判定回路を備え、デューティ判定回路から出力されるデューティ情報と立上りエッジ平均位相情報とからデータ選択相を決定する識別データ選択回路により、その信号の先頭から数ビットでクロックを抽出でき、ジッタに対してもデータ信号をエラーなく識別でき、また、誤りなく識別リタイミングを行ったデータを出力できるデジタルPLL回路を提案したものである。

【0005】

【発明が解決しようとする課題】しかし、先行出願に開示された手法は、図9に示すように、1つの回路構成でバースト状データ信号を順次処理するため、バースト状データ信号に対する位相同期動作、データ識別動作の処理時間が長くなる場合には、信号処理待ちが生じる。

【0006】したがって本発明は、バースト状データ信号を受信する光通信システム等の受信装置において、バースト状データ信号のバースト間隔を狭くする要求に対して、デジタルPLL回路の内部回路を二面化し、各バースト状データ信号を交互に処理することにより、良好な受信特性を確保したデジタルPLL回路を提供することを目的としている。

【0007】

【課題を解決するための手段】本発明によるデジタルPLL回路は、入力データ信号と周波数がほぼ同一で位相が順次 $360^\circ/N$  ( $N$ は2以上の整数)づつずれた多相クロックとを入力し、前記入力データ信号を前記多相クロックの各クロックによりサンプリングして $N$ 個のサンプリングデータを生成するサンプリング回路と、前記サンプリング回路が出力するサンプリングデータと前記多相クロックとを入力し切替信号1または2の切替制御信号により切り替え動作する内部回路0面および内部回路1面と、前記内部回路0面および前記内部回路1面とのそれぞれの出力信号を入力し切替信号3の制御信号により前記内部回路0面と前記内部回路1面との出力信号を選択して出力する出力切替回路と、を備えたことを特徴とする。

【0008】また、前記内部回路0面および前記内部回路1面が、同一回路構成からなる二面構成であって、両面それぞれの入力端に切替手段を有し、切替信号1または2の制御信号により前記入力データ信号の単位毎に交互に切り替え動作をすること、を特徴とする。

【0009】また、前記出力切替回路が、前記内部回路0面および前記内部回路1面の両面それぞれから出力される出力データを、前記切替信号3の制御信号により前記入力データ信号の単位毎に交互に切り替えて出力すること、を特徴とする。

【0010】さらに、前記内部回路0面および前記内部回路1面が、前記多相クロックを入力し前記多相クロックの内どの相のクロックを選択するかを示す立下り位相平均情報に応じて前記多相クロックから択一的に選択した選択クロックを出力するクロック選択回路と、前記サンプリング回路が出力するサンプリングデータを、前記切替信号1または2の制御信号により切り替え出力する切替回路と、前記切替回路が出力するサンプリングデータの位相と前記選択クロックの位相とを比較する位相比較回路と、前記位相比較回路が出力する位相比較後データを入力し、前記選択クロックを基準の第1相クロックとして以下順次第2相～第 $N$ 相クロックとし、前記第1相～第 $N$ 相クロックに対応して前記 $N$ 個のサンプリングデータを並び替えて第1相～第 $N$ 相サンプリングデータとし、並び替え後の前記第1相～第 $N$ 相サンプリングデータを前記第1相クロックによりラッチし、各相のラッチ出力の互いに隣り合う相同士のレベルにより立下りエッジが存在する相の位置を検出して立下りエッジ情報を前記選択クロックの1周期毎に生成する立下りエッジ検出回路と、前記立下りエッジ情報を入力し、立下りエッジの個数の情報を前記1周期毎に生成し、この立下りエッジの個数の過去から現在までの平均値を前記1周期毎に算出して求めた立下り位相平均情報を出力する立下りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記立下りエッジ検出回路と同様に動作して立上りエッジ情報を生成する立上りエッジ検出回路と、前記

立上りエッジ情報を入力し、前記立下りエッジ位相平均計算回路と同様に動作して立上り位相平均情報を出力する立上りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記入力データ信号のデューティを判定してデューティ情報を出力するデューティ判定回路と、前記立上りエッジ位相平均情報と前記デューティ情報とによりデータ選択相を決定し、決定した前記データ選択相に近いデータを前記位相比較後データから選択し、選択後データを出力する識別データ選択回路と、前記選択後データを前記選択クロックによりリタイミングしてデータを出力する識別回路と、を備えたことを特徴とする。

【0011】また、前記内部回路0面および前記内部回路1面が、前記多相クロックを入力し前記多相クロックの内どの相のクロックを選択するかを示す立上り位相平均情報に応じて前記多相クロックから択一的に選択した選択クロックを出力するクロック選択回路と、前記サンプリング回路が出力するサンプリングデータを、前記切替信号1または2の制御信号により切り替え出力する切替回路と、前記切替回路が出力するサンプリングデータの位相と前記選択クロックの位相とを比較する位相比較回路と、前記位相比較回路が出力する位相比較後データを入力し、前記選択クロックを基準の第1相クロックとして以下順次第2相～第N相クロックとし、前記第1相～第N相クロックに対応して前記N個のサンプリングデータを並び替えて第1相～第N相サンプリングデータとし、並び替え後の前記第1相～第N相サンプリングデータを前記第1相クロックによりラッチし、各相のラッチ出力の互いに隣り合う相同士のレベルにより立上りエッジが存在する相の位置を検出して立上りエッジ情報を前記選択クロックの1周期毎に生成する立上りエッジ検出回路と、前記立上りエッジ情報を入力し、立上りエッジの個数の情報を前記1周期毎に生成し、この立上りエッジの個数の過去から現在までの平均値を前記1周期毎に算出して求めた立上り位相平均情報を出力する立上りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記立上りエッジ検出回路と同様に動作して立下りエッジ情報を生成する立下りエッジ検出回路と、前記立下りエッジ情報を入力し、前記立下りエッジ位相平均計算回路と同様に動作して立下り位相平均情報を出力する立下りエッジ位相平均計算回路と、前記立上りエッジ位相平均情報によりデータ選択相を決定し、決定した前記データ選択相に近いデータを前記位相比較後データから選択し、選択後データを出力する識別データ選択回路と、前記選択後データを前記選択クロックによりリタイミングしてデータを出力する識別回路と、を備えたことを特徴とする。

【0012】また、前記内部回路0面および前記内部回

路1面が、前記多相クロックを入力し前記多相クロックの内どの相のクロックを選択するかを示す立下り位相平均情報に応じて前記多相クロックから択一的に選択した選択クロックを出力するクロック選択回路と、前記サンプリング回路が出力するサンプリングデータを、前記切替信号1または2の制御信号により切り替え出力する切替回路と、前記切替回路が出力するサンプリングデータの位相と前記選択クロックの位相とを比較する位相比較回路と、前記位相比較回路が出力する位相比較後データを入力し、前記選択クロックを基準の第1相クロックとして以下順次第2相～第N相クロックとし、前記第1相～第N相クロックに対応して前記N個のサンプリングデータを並び替えて第1相～第N相サンプリングデータとし、並び替え後の前記第1相～第N相サンプリングデータを前記第1相クロックによりラッチし、各相のラッチ出力の互いに隣り合う相同士のレベルにより立下りエッジが存在する相の位置を検出して立下りエッジ情報を前記選択クロックの1周期毎に生成する立下りエッジ検出回路と、前記立下りエッジ情報を入力し、立下りエッジの個数の情報を前記1周期毎に生成し、この立下りエッジの個数の過去から現在までの平均値を前記1周期毎に算出して求めた立下り位相平均情報を出力する立下りエッジ位相平均計算回路と、前記位相比較後データを入力し、前記立下りエッジ検出回路と同様に動作して立上りエッジ情報を生成する立上りエッジ検出回路と、前記立上りエッジ情報を入力し、前記立上りエッジ位相平均計算回路と同様に動作して立上り位相平均情報を出力する立上りエッジ位相平均計算回路と、前記立上りエッジ位相平均情報によりデータ選択相を決定し、決定した前記データ選択相に近いデータを前記位相比較後データから選択し、選択後データを出力する識別データ選択回路と、前記選択後データを前記選択クロックによりリタイミングしてデータを出力する識別回路と、を備えたことを特徴とする。

【0013】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。図1は、本発明のデジタルPLL回路の実施形態を示すブロック図である。

【0014】図1に示すように、切替回路4、位相比較回路5、クロック選択回路8、立下りエッジ検出回路6、立下りエッジ位相平均計算回路7、立上りエッジ検出回路9、立上りエッジ位相平均計算回路10、デューティ判定回路11、識別データ選択回路12、識別回路13からなる内部回路0面2および内部回路1面3の二面と、サンプリング回路1の出力サンプリングデータ101を切替信号1 113または2 114で切り替えるために両面の入力端に位置する切替回路4と対応し、両面の出力端後段に接続されて切替信号3 115により切り替えられる出力切替回路14と、で構成されている。

【0015】この二面化されたデジタルPLL回路は、バースト毎に位相、ジッタおよびデューティ歪みの変動量が異なる受信バースト状データ信号が、内部回路0面2または内部回路1面3に交互に振り分けられ、それぞれで位相同期動作とデータ識別動作を実行する。

【0016】通常、デジタルPLL回路内部でバースト状データ信号に対する位相同期動作、データ識別動作を行う処理時間が必要であるが、二面化により各バースト状データ信号に対する処理の重複が可能となり、処理待ち状態の発生を防止できる。結果として、受信特性を損なうことなく、各バースト状データ信号の間隔を狭くすることができる。

【0017】図2は、本発明の第1の実施例の構成図が示されている。図2を参照すると、8個のフリップフロップにより構成されたサンプリング回路1では、データを入力し、多相クロック105を用いて位相サンプリングを行う。

【0018】サンプリング回路1より出力されるサンプリングデータ112は、内部回路0面2と内部回路1面3とに入力される。

【0019】内部回路0面2と内部回路1面3との切り替えは、それぞれの内部回路の入力端に位置する切替回路4と、内部回路2、3各面それぞれから出力された識別データ116と118とを選択する出力切替回路14により行われる。

【0020】次に8個のフリップフロップで構成された位相比較回路5で、切替回路4から出力されるサンプリングデータ101とクロック選択回路8が出力する選択クロック106を入力して位相比較を行う。

【0021】次に組み合わせ回路により構成される立下りエッジ検出回路6で、位相比較回路5が出力する位相比較後データ102と立下りエッジ位相平均計算回路7が出力する立下りエッジ位相平均情報112とより、前回までの立下りエッジ位相平均情報との差分を示す、立下りエッジ情報103を検出する。

【0022】次に組み合わせ回路による計算回路とフリップフロップによる記憶回路で構成される立下りエッジ位相平均計算回路7で、立下りエッジ検出回路6が出力する立下りエッジ情報103より、立下りエッジ位相平均情報104を算出する。

【0023】セレクタ回路とリタイミング回路とにより構成されるクロック選択回路8では、立下りエッジ位相平均計算回路7が出力する立下りエッジ位相平均情報104より、多相クロック105の中から選択クロック106を選択する。

【0024】組み合わせ回路により構成される立上りエッジ検出回路9では、位相比較回路5が出力する位相比較後データ102より、立上りエッジ情報107を検出する。この実施例では、立下りエッジの位相を基準として動作するため、立上りエッジの位相は、立下りエッジ

位相平均情報112との差分で示される。

【0025】次に組み合わせ回路による計算回路とフリップフロップによる記憶回路で構成される立上りエッジ位相平均計算回路10では、立上りエッジ検出回路9が出力する立上りエッジ情報107より立上りエッジ位相平均情報108を算出する。

【0026】組み合わせ回路による計算回路とフリップフロップによる記憶回路で構成されるデューティ判定回路11では、位相比較回路5が出力する位相比較後データ102よりデューティ情報109を検出する。

【0027】セレクタ回路と条件判定回路により構成される識別データ選択回路12では、立上りエッジ位相平均計算回路10が出力する立上りエッジ位相平均情報108とデューティ判定回路11が出力するデューティ情報109とより、位相比較回路5が出力する位相比較後データ102のうち、識別点として最適と思われる選択後データ110を選択する。

【0028】フリップフロップにより構成される識別回路13では、識別データ選択回路12が出力する選択後データ110を、クロック選択回路8が出力する選択クロック106でリタイミングし、出力する。

【0029】最後に、出力切替回路14では、切替信号3115により識別データ116、118および選択クロック117、119をバースト状信号毎に交互に選択し、ODATAとOCLKとに出力する。

【0030】図3に本発明の切替回路の構成を示す。図3を参照すると、切替回路は、8相に多相化したサンプリングデータ112の入力を、切替信号1113または2114により制限するゲート回路301により構成される。

【0031】図4に本発明の出力切替回路の構成を示す。図4を参照すると、出力切替回路14は、識別データ116と118、選択クロック117と119とを切替信号3115により切り替えるゲート回路401と402とにより構成される。

【0032】バースト状データ信号の各面への振り分けは、図5に示すように切替信号1113と切替信号2114とで内部回路2、3各面それぞれの入力端に位置する切替回路4を制御することにより行われる。また内部回路2、3各面から出力される識別データ116、118の選択は、切替信号3115を用いて出力切替回路14を制御することにより行われる。

【0033】次に本発明の第1の実施例の動作について図2を参照として詳細に説明する。

【0034】本発明の特徴である二面構成の面切替は、内部回路0面2と内部回路1面3との入力端に位置する切替回路4と各面の識別回路13の後段に位置する出力切替回路14で行われる。その動作を図5に示すように、通常のデジタルPLL回路では、IDATAより入力したバースト状データの位相同期動作と



データ識別動作を行い、識別データ116, 118を得るまでの処理に時間が必要である。回路構成を二面化して面切替を用いない場合は、あるバースト状データ信号を入力し、識別データを得るまでに処理待ち状態が生じる。しかし、本発明では、回路構成を二面化し各面にバースト状データ信号を振り分け、位相同期動作とデータ識別動作の処理を行い、各面から出力される識別データを交互に選択し出力することにより、処理待ちが生じることがない。

【0035】次に本発明のデジタルPLL回路の各部の動作について説明する。まず、サンプリング回路1では、入力されたランダムな変化をするバースト状データIDATAを周波数が同一で位相が順次360度/N(Nは2以上の整数)づつずれた多相クロック信号105を用いて8相に多相化したサンプリングデータ112を生成し出力する。

【0036】次に切替回路4では、切替信号1113または切替信号2114により制御されてバースト状データ毎に交互に切り替えを行う。この動作は、前述した通りである。

【0037】次に位相比較回路5では、切替回路4から出力される多相化したサンプリングデータ101とクロック選択回路8が出力する選択クロック106を入力して位相比較を行い、現在の選択クロックの位相とIDATAより入力したデータとの位相の差分を出力する。

【0038】次に立下りエッジ検出回路6では、位相比較回路5が出力する位相比較後データ102と立下りエッジ位相平均計算回路7が出力する立下りエッジ位相平均情報112より、立下りエッジ情報103を検出する。ここで検出された立下りエッジ情報103は、クロック選択回路8が出力する選択クロック106とIDATAより入力したデータの立下りエッジ位相の差分を示す。

【0039】次に立下りエッジ位相平均計算回路7では、立下りエッジ検出回路6が出力する立下りエッジ情報103と立下りエッジ平均計算回路7の内部のフリップフロップが記憶した直前までの立下りエッジ位相平均情報112を用いて立下りエッジ位相平均情報104を計算回路で算出する。

【0040】クロック選択回路8では、立下りエッジ位相平均計算回路7が出力する立下りエッジ位相平均情報104より、入力データの立下り位相の位相平均に最も近い位相のクロックを多相クロックの内から選択する。

【0041】立上りエッジ検出回路9では、位相比較回路5が出力する位相比較後データ102と立下りエッジ位相平均計算回路7が出力する立下りエッジ位相平均情報112とより立上りエッジ情報107を検出する。ここで検出された立上りエッジ情報107は、立下りエッジ位相平均情報112を基準としてクロック選択回路8が出力する選択クロック106とIDATAより入力し

たデータの立上りエッジ位相の差分を示す。

【0042】次に立上りエッジ位相平均計算回路10では、立上りエッジ検出回路9が出力する立上りエッジ情報107と立上りエッジ平均計算回路10の内部のフリップフロップが記憶した直前までの立上りエッジ位相平均情報を用いて立上りエッジ位相平均情報108を計算回路で算出する。

【0043】次に、デューティ判定回路11では、位相比較回路5が出力する位相比較後データ102とバースト状データの先頭を示すリセット111とにより、入力データの先頭に位置する“1”、“0”交番データを抽出し、計算回路で“1”である区間、“0”である区間を計算し、入力データのデューティ情報109を検出する。ここで入力データのデューティの定義は、図6に示すように、入力データ1が100%の場合、入力データ2が100%を越す場合、入力データ3が100%未満の場合である。

【0044】次に識別データ選択回路12では、位相比較回路5が出力する位相比較後データ102の内から選択する相を決定し、選択後データ110を出力する。

【0045】次に識別回路13では、識別データ選択回路12が出力する選択後データ110を、クロック選択回路8が出力する選択クロック106でリタイミングして出力する。

【0046】最後に出力切替回路14では、内部回路各面から出力される識別データ116, 118を切替信号3115により選択してODATAに出力する。

【0047】以上説明した各部の動作が、バースト状データ信号毎に交互に、内部回路0面2および内部回路1面3のそれぞれで行われることにより、位相同期動作、データ識別動作の処理時間が長くなる場合にも、信号処理待ちが生じることはない。

【0048】また、本発明の第2の実施例として、その基本的構成は第1の実施例の通りであるが、立上りエッジ検出回路706、立上りエッジ位相平均計算回路707、立下りエッジ検出回路709、立下りエッジ位相平均計算回路710の位置についてさらに工夫している。その構成を図7に示す。

【0049】図7を参照すると、8個のフリップフロップにより構成されたサンプリング回路701では、データを入力し、多相クロックS705を用いて位相サンプリングを行う。

【0050】サンプリング回路701より出力されるサンプリングデータS712は、内部回路0面702と内部回路1面703とに入力される。

【0051】内部回路0面702と内部回路1面703との切り替えは、それぞれの内部回路の入力端に位置する切替回路704と、内部回路702, 703各面それぞれから出力された識別データS716とS718とを選択する出力切替回路714により行われる。

【0052】次に8個のフリップフロップで構成される位相比較回路705で、切替回路704から出力されるサンプリングデータS701とクロック選択回路708が出力する選択クロックS706を入力して位相比較を行う。

【0053】次に組み合わせ回路により構成される立上りエッジ検出回路706で、位相比較回路705が出力する位相比較後データS702と立上りエッジ位相平均計算回路707が出力する立上りエッジ位相平均情報S712とより、前回までの立上りエッジ位相平均情報との差分を示す、立上りエッジ情報S703を検出する。

【0054】次に組み合わせ回路による計算回路とフリップフロップによる記憶回路で構成される立上りエッジ位相平均計算回路707で、立上りエッジ検出回路706が出力する立上りエッジ情報S703より、立上りエッジ位相平均情報S704を算出する。

【0055】セレクト回路とリタイミング回路とにより構成されるクロック選択回路708では、立上りエッジ位相平均計算回路707が出力する立上りエッジ位相平均情報S704より、多相クロックS705の内から選択クロックS706を選択する。

【0056】組み合わせ回路により構成される立下りエッジ検出回路709では、位相比較回路705が出力する位相比較後データS702より、立下りエッジ情報S707を検出する。この実施例では、立上りエッジの位相を基準として動作するため、立下りエッジの位相は、立上りエッジ位相平均情報S712との差分で示される。

【0057】次に組み合わせ回路による計算回路とフリップフロップによる記憶回路で構成される立下りエッジ位相平均計算回路710では、立下りエッジ検出回路709が出力する立下りエッジ情報S707より立下りエッジ位相平均情報S708を算出する。

【0058】組み合わせ回路による計算回路とフリップフロップによる記憶回路で構成されるデューティ判定回路711では、位相比較回路705が出力する位相比較後データS702よりデューティ情報S709を検出する。

【0059】セレクト回路と条件判定回路により構成される識別データ選択回路712では、立下りエッジ位相平均計算回路710が出力する立下りエッジ位相平均情報S708とデューティ判定回路711が出力するデューティ情報S709とより、位相比較回路705が出力する位相比較後データS702のうち、識別点として最適と思われる選択後データS710を選択する。

【0060】フリップフロップにより構成される識別回路713では、識別データ選択回路712が出力する選択後データS710を、クロック選択回路708が出力する選択クロックS706でリタイミングし、出力する。

【0061】最後に、出力切替回路714では、切替信号3 S715により識別データS716、S718および選択クロックS717、S719をバースト状信号毎に交互に選択し、ODATAとOCLKとに出力する。

【0062】本図において、クロック選択回路708によるクロック選択は、立上りエッジを基準にして行われる。立下りエッジのジッタ量と比較して、立上りエッジのジッタ量が少ないことが明らかな場合に、本実施例は有効である。

【0063】上記各実施例では、ジッタ耐力特性やデューティ変動耐力特性を犠牲にせず、バースト状信号間隔の短縮化に対応する作用・効果を、内部回路の2面化により得ているが、ジッタ耐力特性やデューティ変動耐力特性を犠牲にしても、バースト状信号間隔の短縮化への対応と回路規模削減および低消費電力化とに着目する場合がある。そのための構成を、第3の実施例として図8に示す。

【0064】図8を参照すると、8個のフリップフロップにより構成されたサンプリング回路801では、データを入力し、多相クロックS805を用いて位相サンプリングを行う。

【0065】サンプリング回路801より出力されるサンプリングデータS812は、内部回路0面802と内部回路1面803とに入力される。

【0066】内部回路0面802と内部回路1面803との切り替えは、それぞれの内部回路の入力端に位置する切替回路804と、内部回路802、803各面それぞれから出力された識別データS816とS818とを選択する出力切替回路814により行われる。

【0067】次に8個のフリップフロップで構成された位相比較回路805で、切替回路804から出力されるサンプリングデータS801とクロック選択回路808が出力する選択クロック806を入力して位相比較を行う。

【0068】次に組み合わせ回路により構成される立下りエッジ検出回路806で、位相比較回路805が出力する位相比較後データS802と立下りエッジ位相平均計算回路807が出力する立下りエッジ位相平均情報S812とより、前回までの立下りエッジ位相平均情報との差分を示す、立下りエッジ情報S803を検出する。

【0069】次に組み合わせ回路による計算回路とフリップフロップによる記憶回路で構成される立下りエッジ位相平均計算回路807で、立下りエッジ検出回路806が出力する立下りエッジ情報S803より、立下りエッジ位相平均情報S804を算出する。

【0070】セレクト回路とリタイミング回路とにより構成されるクロック選択回路808では、立下りエッジ位相平均計算回路807が出力する立下りエッジ位相平均情報S804より、多相クロックS805の内から選



択クロックS806を選択する。

【0071】組み合わせ回路により構成される立上りエッジ検出回路809では、位相比較回路805が出力する位相比較後データS802より、立上りエッジ情報S807を検出する。この実施例では、立下りエッジの位相を基準として動作するため、立上りエッジの位相は、立下りエッジ位相平均情報S812との差分で示される。

【0072】次に組み合わせ回路による計算回路とフリップフロップによる記憶回路で構成される立上りエッジ位相平均計算回路810では、立上りエッジ検出回路809が出力する立上りエッジ情報S807より立上りエッジ位相平均値S808を算出する。

【0073】セレクト回路と条件判定回路により構成される識別データ選択回路812では、立上りエッジ位相平均計算回路810が出力する立上りエッジ位相平均情報S808より、位相比較回路805が出力する位相比較後データS802のうち、識別点として最適と思われる選択後データS810を選択する。

【0074】ブリップフロップにより構成される識別回路813では、識別データ選択回路812が出力する選択後データS810を、クロック選択回路808が出力する選択クロックS806でリタイミングし、出力する。

【0075】最後に、出力切替回路814で切替信号3S815により識別データS816、818および選択クロックS817、S819をバースト状信号毎に交互に選択し、ODATAとOCLKとに出力する。

【0076】本実施例では、内部回路0面802と内部回路1面803との簡略化により、回路規模削減と低消費電力化とを実現できる。

【0077】さらに本実施例の立上りエッジ検出回路809や立上りエッジ位相平均計算回路810を簡略化することも考えられる。

【0078】以上の実施例において、N相の値を8相の場合で説明を行ったが、8相に限定するものではない。

【0079】

【発明の効果】本発明のデジタルPLL回路は以上説明したように、内部回路を二面化して各面交互に処理する手段により、バースト状信号に対する位相同期動作とデータ識別動作との処理時間が長くなる場合でも、処理待ちが生じることがない。また、位相同期動作とデータ識別動作の処理時間を短縮する必要がないため、高ジッタ耐力特性および高デューティ変動耐力特性とバースト状信号間の短縮とを両立させる等の効果がある。

【0080】また、ジッタ耐力特性やデューティ変動耐力特性を犠牲にしても、バースト状信号間隔の短縮化への対応と回路規模削減および低消費電力化とに着目する

場合でも、内部回路の二面化により、回路規模削減と低消費電力化とを実現できる。

【0081】さらに本実施例の立上りエッジ検出回路809や立上りエッジ位相平均計算回路810を簡略化することも考えられる。

【図面の簡単な説明】

【図1】本発明の実施形態を示すブロック図である。

【図2】本発明の第1の実施例の構成図を示す図である。

【図3】図2に示す切替回路の一実施例を示す図である。

【図4】図2に示す出力切替回路の一実施例を示す図である。

【図5】各面への振り分け動作を示す図である。

【図6】入力データのデューティ定義を示す図である。

【図7】本発明の第2の実施例を示す図である。

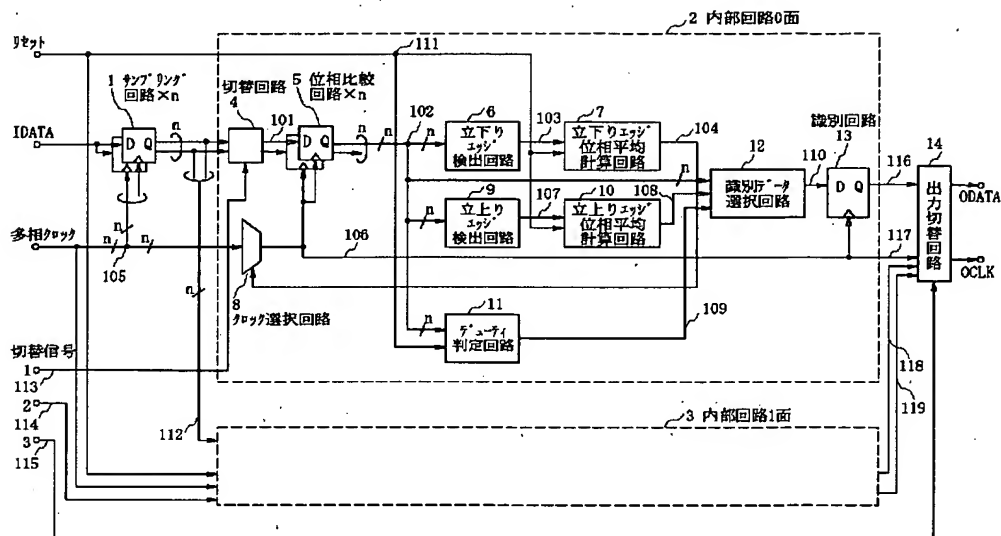
【図8】本発明の第3の実施例を示す図である。

【図9】従来の実施例の構成図を示す図である。

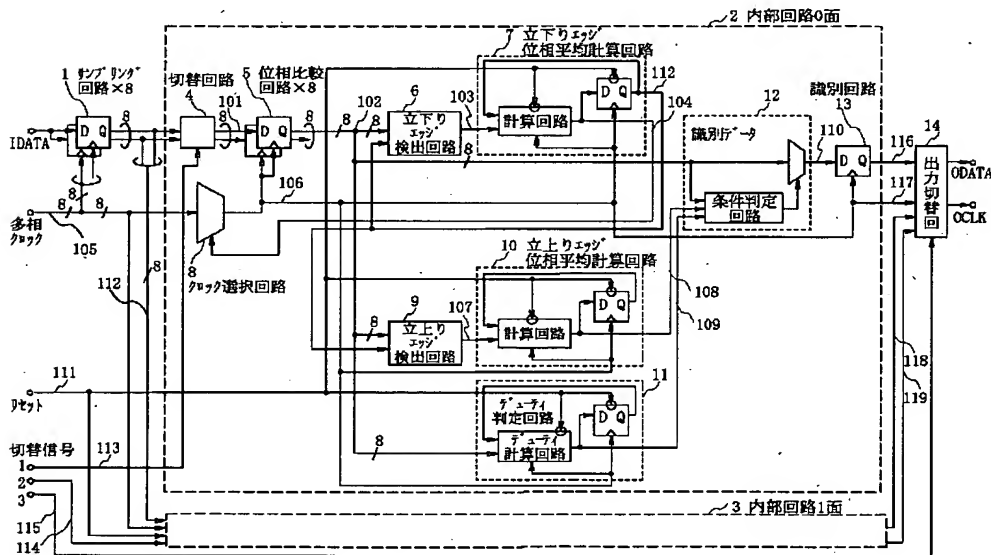
【符号の説明】

1, 701, 801	サンプリング回路
2, 702, 802	内部回路0面
3, 703, 803	内部回路1面
4, 704, 804	切替回路
5, 705, 805	位相比較回路
6, 709, 806	立下りエッジ検出回路
7, 710, 807	立下りエッジ位相平均計算回路
8, 708, 808	クロック選択回路
9, 706, 809	立上りエッジ検出回路
10, 707, 810	立上りエッジ位相平均計算回路
11, 711	デューティ判定回路
12, 712, 812	識別データ選択回路
13, 713, 813	識別回路
14, 714, 814	出力切替回路
101, S701, S801	サンプリングデータ
102, S702, S802	位相比較後データ
103, S707, S803	立下りエッジ情報
104, S708, S804	立下りエッジ位相平均情報
105, S705, S805	多相クロック
106, S706, S806	選択クロック
107, S703, S807	立上りエッジ情報
108, S704, S808	立上りエッジ位相平均情報
109, S709	デューティ情報
110, S710, S810	選択後データ
111, S711, S811	リセットの各信号

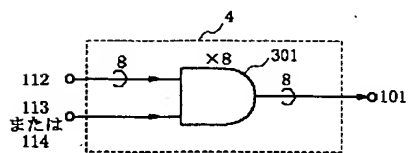
【図1】



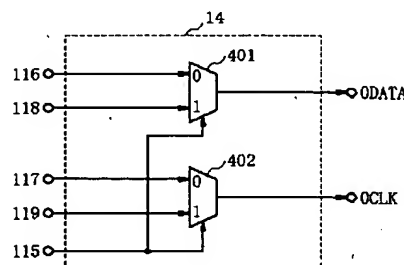
【図2】



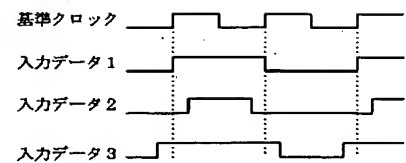
【図3】



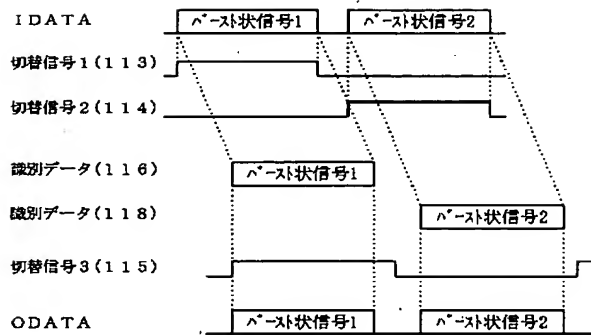
【図4】



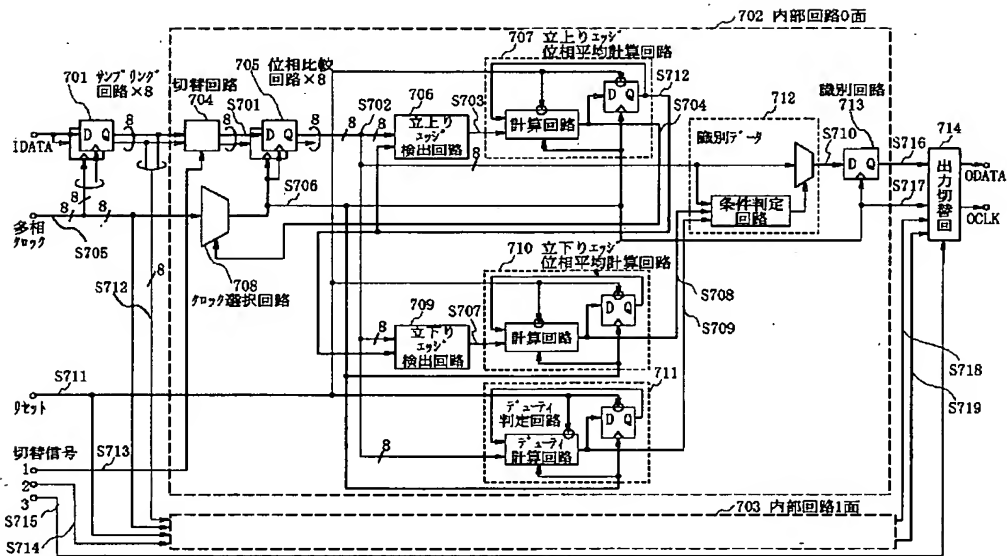
【図6】



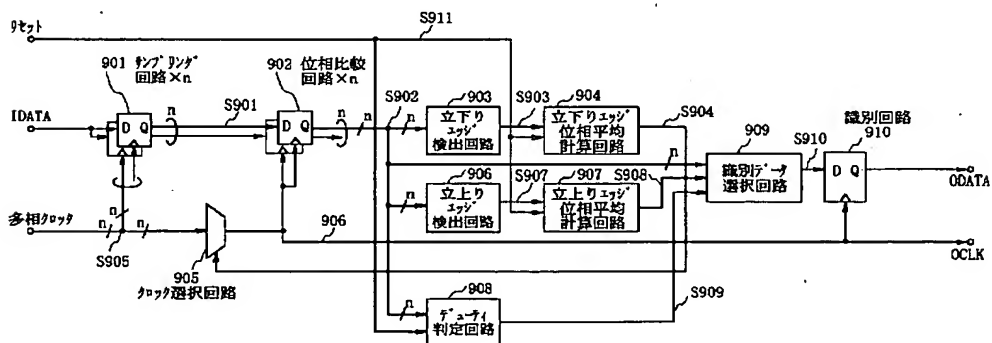
【図5】



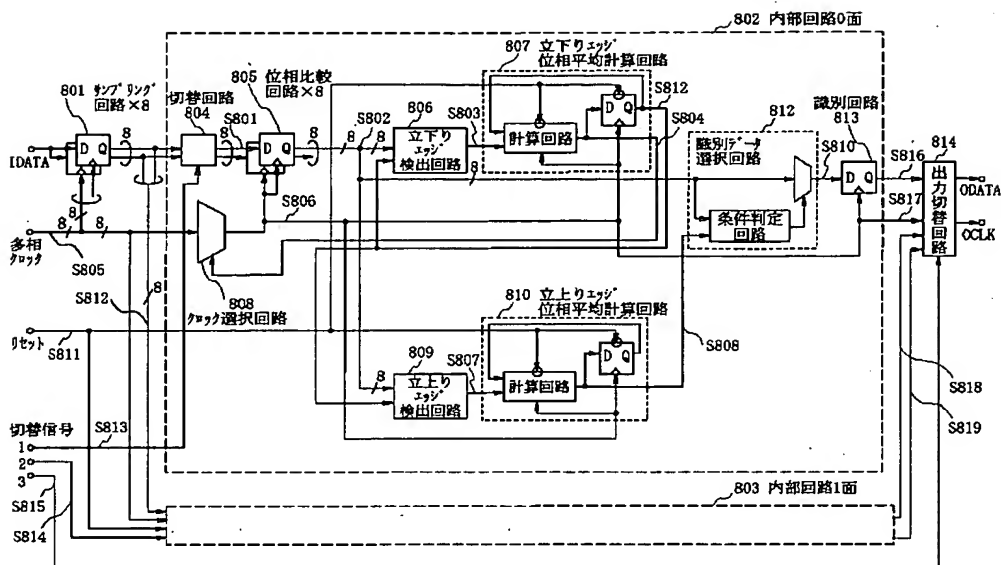
【図7】



【図9】



【図8】



フロントページの続き

(72) 発明者 佐藤 正樹  
 神奈川県川崎市中原区小杉町一丁目403  
 番地 日本電気テレコムシステム株式会  
 社内

(56) 参考文献 特開 平8-237117 (JP, A)  
 特開 平10-327068 (JP, A)  
 特開 平11-168455 (JP, A)  
 特開 平11-215110 (JP, A)  
 特開 平4-347931 (JP, A)

(58) 調査した分野 (Int. Cl. 7, DB名)

H03L 7/06 - 7/14

H04L 7/00 - 7/10